

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-345054

(43)公開日 平成4年(1992)12月1日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/90	C	7353-4M		
21/302	M	7353-4M		

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平3-147949

(22)出願日 平成3年(1991)5月22日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 上田 尚宏

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

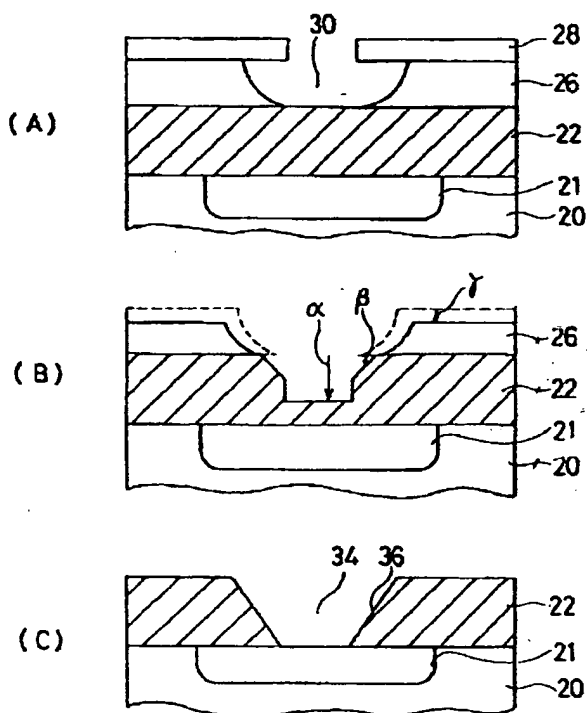
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 滑らかな傾斜の壁面をもったコンタクトホールやスルーホールを形成する。

【構成】 シリコン基板20上にBP SG膜22を約6000Åの厚さに堆積し、その上にNSG膜26を約2000Åの厚さに堆積する。NSG膜26上にコンタクトホールを形成する領域に開口をもつレジスト膜28を形成する。このレジスト膜28をマスクとしてBP SG膜22が露出するまでNSG膜26に等方性エッチングを施す。レジスト膜28を除去した後、基板20が露出するまで全面にエッチングガスCHF₃を用いた異方性エッチングを施す。



【特許請求の範囲】

【請求項1】 下地上に層間絶縁膜を介してメタル配線が形成され、このメタル配線と前記下地とが層間絶縁膜のコンタクトホール又はスルーホールを経て接続されているとともに、前記コンタクトホール又はスルーホールは上方向に開くように壁面が傾斜している半導体装置。

【請求項2】 以下の工程(A)から(E)によりメタル配線を形成する工程を含む半導体装置の製造方法。

(A) 下地状の第1の絶縁膜を堆積し、その上に第2の絶縁膜を堆積して2層構造の層間絶縁膜を形成する工程、(B) 前記層間絶縁膜上に耐エッチング用のレジスト膜を形成し、写真製版によりコンタクト部に開口をもつレジストパターンを形成する工程、(C) 前記レジストパターンをマスクとして前記第1の絶縁膜が露出するまで前記第2の絶縁膜に等方性エッチングを施す工程、

(D) 前記レジスト膜を除去した後、前記下地が露出するまで前記第1及び第2の絶縁膜に異方性エッチングを施す工程、(E) 前記層間絶縁膜上からメタル膜を堆積し、パターン化してメタル配線を形成する工程。

【請求項3】 前記異方性エッチングに対するエッチング速度は前記第1の絶縁膜より前記第2の絶縁膜の方が小さい請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置とその製造方法に関し、特にシリコン基板と1層目のメタル配線の間のコンタクト、又はメタル配線間のスルーホールでのコンタクトに特徴をもつ半導体集積回路装置とその製造方法に関するものである。

【0002】

【従来の技術】 半導体集積回路装置でメタル配線の抵抗値増大や断線を防いで信頼性を向上させるために、コンタクトホールやスルーホールの壁面に傾斜をつけてホール部でのメタル配線のカパレッジを向上させることが行なわれている。

【0003】 図3はコンタクトホールの壁面に傾斜をつける1つの従来の方法を表わしている。

(A) メタル配線と接続しようとするシリコン基板2上に層間絶縁膜4としてBPSG膜などを堆積し、その上に耐エッチング用レジスト膜6を塗布し、写真製版によりコンタクトホール部に開口部8を形成する。

(B) そのレジスト膜6をマスクとして層間絶縁膜4の膜厚の一部が除去される程度に等方性エッチングを施して凹部10を形成する。

(C) 次に、レジスト膜6をマスクとしてシリコン基板2が露出するまで異方性エッチングを施す。

(D) レジスト膜6を除去すると、層間絶縁膜4には断面がワインカップ状の傾斜をもつコンタクトホール12が形成される。

【0004】

【発明が解決しようとする課題】 図3に示される方法で層間絶縁膜6に形成されるコンタクトホール12はその断面形状がワインカップ状であるため、その後に層間絶縁膜6上から配線用メタル膜を堆積してもコンタクトホール12で十分なカパレッジを得ることは容易ではなく、依然としてコンタクト抵抗の増大を招いている。

【0005】 本発明はコンタクトホールやスルーホールの断面形状が従来のようなワインカップ状ではなく、さらに滑らかな壁面の傾斜をもったコンタクトホールやスルーホールを形成する方法と、そのようなコンタクトホールやスルーホールを介してメタル配線が下地と接続されている半導体装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明の半導体装置では、下地上に層間絶縁膜を介してメタル配線が形成され、このメタル配線と前記下地とが層間絶縁膜のコンタクトホール又はスルーホールを経て接続されているとともに、前記コンタクトホール又はスルーホールは上方向に開くように壁面が傾斜している。

【0007】 このような半導体装置を製造するために、本発明の方法は以下の工程(A)から(E)によりメタル配線を形成する工程を含んでいる。(A) 下地状の第1の絶縁膜を堆積し、その上に第2の絶縁膜を堆積して2層構造の層間絶縁膜を形成する工程、(B) 前記層間絶縁膜上に耐エッチング用のレジスト膜を形成し、写真製版によりコンタクト部に開口をもつレジストパターンを形成する工程、(C) 前記レジストパターンをマスクとして前記第1の絶縁膜が露出するまで前記第2の絶縁膜に等方性エッチングを施す工程、(D) 前記レジスト膜を除去した後、前記下地が露出するまで前記第1及び第2の絶縁膜に異方性エッチングを施す工程、(E) 前記層間絶縁膜上からメタル膜を堆積し、パターン化してメタル配線を形成する工程。この製造方法で、異方性エッチングに対するエッチング速度は第1の絶縁膜より第2の絶縁膜の方が小さくなるように設定されていることが好ましい。

【0008】

【実施例】 図1は本発明をシリコン基板とメタル配線とのコンタクトに適用した一実施例を表わしている。シリコン基板20に例えばMOSトランジスタの拡散層21が形成されており、その拡散層21とメタル配線24が層間絶縁膜22のコンタクトホールを介して接続されている。コンタクトホールが上方向に開いた形状になるように、その壁面36が滑らかに傾斜している。

【0009】 図2は図1の実施例のコンタクトホールを形成する一実施例を示したものである。

(A) 拡散層21が形成されたシリコン基板20上に第1の絶縁膜としてBPSG膜22を約6000Åの厚さに堆積し、その上に第2の絶縁膜として不純物を含まな

3

い SiO_2 膜であるNSG膜26を約2000Åの厚さに堆積して2層構造の層間絶縁膜を形成する。後の工程でこの層間絶縁膜に異方性ドライエッチングを施すが、そのドライエッチングを CHF_3 ガスをエッチングガスとするエッチングではそのエッチング速度の比がNSG膜を1とすればBPSG膜がおよそ3であるところから、絶縁膜22と絶縁膜26の膜厚の比を上記のように約3:1に設定しておく。NSG膜26上に耐エッチング用レジスト膜28を塗布し、コンタクトホールを形成する領域に開口をもつように、写真製版によりレジスト膜28をパターン化する。そして、このレジスト膜28をマスクとしてNSG膜26に等方性エッチングを施す。この等方性エッチングはBPSG膜22が露出するまで行なう。これにより、NSG膜26に断面形状がラウンド状の開口部30が形成される。

【0010】(B)レジスト膜28を除去した後、全面にエッチングガス CHF_3 を用いた異方性エッチングを施す。この異方性エッチングではエッチング速度の比がBPSG膜22:NSG膜26の比がおよそ3:1である。その結果、(A)でBPSG膜22が露出していた部分のエッチング量 α とNSG膜26がエッチングされる量 γ との比は $\alpha:\gamma \approx 3:1$ となり、BPSG膜22が露出していた部分の近くでNSG膜26がラウンド状に残っていた部分では、初めにNSG膜26がエッチングされ、続いて新しく露出したBPSG膜22がエッチングされて、その部分のエッチング量 β はNSG膜26の傾斜個所に対応して α と γ の中間の値になる。なお、(B)で破線で示してあるのは全面異方性エッチング前のNSG膜26の形状である。

【0011】(C)NSG膜26が全てエッチング除去されるまで異方性エッチングを続けると、BPSG膜22とNSG膜26の最初の膜厚の比がそれぞれの CHF_3 ガスに対するエッチング速度比とほぼ等しく設定されていたことから、NSG膜26が全面除去された時点ではBPSG膜22には壁面36が傾斜して上方向に開いたコンタクトホール34が形成され、コンタクトホール34の底部にメタル配線と接続しようとするシリコン基板の拡散層21が露出した状態となる。

4

【0012】その後、通常の工程に従って全面にメタル膜を堆積し、写真製版とエッチングによりパターン化を施せば図1のメタル配線が形成される。工程(B)で示される異方性エッチングに対する第1の絶縁膜22と第2の絶縁膜26のエッチング速度を調節すれば、得られるコンタクトホール34の壁面36の傾斜角を調節することができ、所望の傾斜をもったコンタクトホールを得ることができる。本発明の方法はコンタクトホールの形成だけでなく、メタル配線間の接続を行なうスルーホールの形成にも適用することができる。

【0013】

【発明の効果】本発明の半導体装置は上方向に開いた滑らかな傾斜の壁面のコンタクトホールやスルーホールをもっているため、従来のワインカップ状のコンタクトホールやスルーホールに比べて配線用メタル膜のカバレッジが向上し、配線抵抗やコンタクト抵抗を低下させて半導体装置の特性を向上させることができる。本発明の方法では第1の絶縁膜と第2の絶縁膜の異方性エッチングに対するエッチング速度を調節し、両絶縁膜の膜厚を調節することにより、形成されるコンタクトホールやスルーホールの壁面の傾斜を所望の値に調節することができる。

【図面の簡単な説明】

【図1】一実施例のメタル配線を示す断面図である。

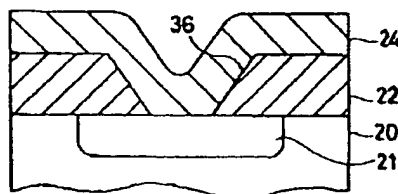
【図2】一実施例の製造方法を示す工程断面図である。

【図3】従来のコンタクトホール形成方法を示す工程断面図である。

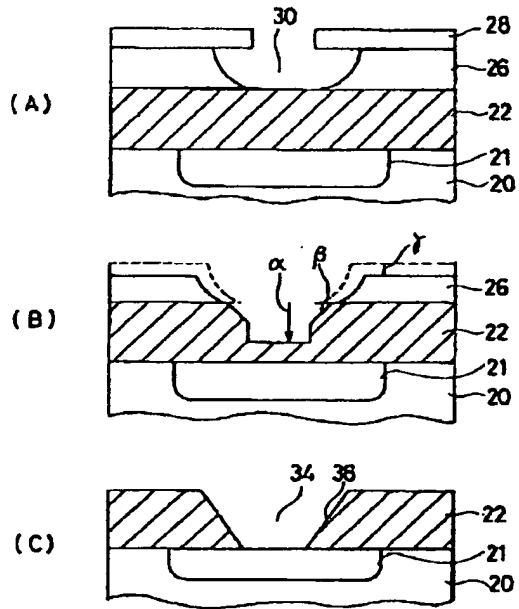
【符号の説明】

20	シリコン基板
21	拡散層
22	第1の絶縁膜であるBPSG膜
24	メタル配線
26	第2の絶縁膜であるNSG膜
28	レジスト膜
30	等方性エッチングによる開口部
34	コンタクトホール
36	コンタクトホールの壁面

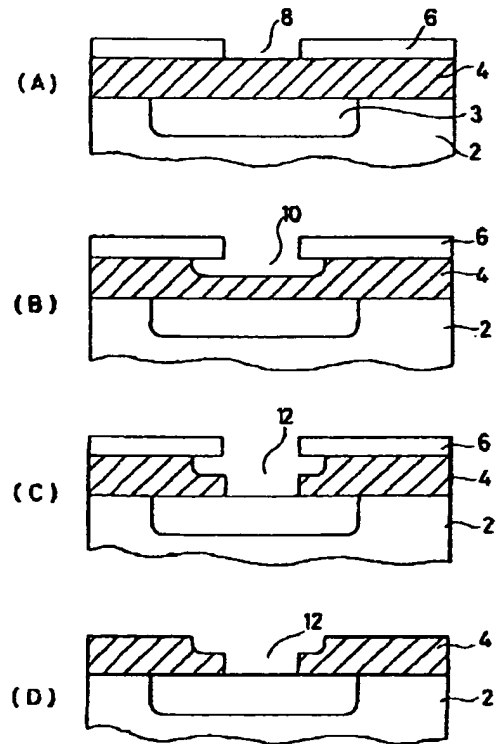
【図1】



【図2】



【図3】



JP 4-345054 1

Translation]

[(19) Japan Patent Office
(12) Patent Release (A)

(11) Patent Application Release

Hei.4 (1992)-345054

(43) Release Date: Dec. 1, 1992

(51) Int.Cl ⁵	Identification No.	Agency Control No.	Technology FI Indicators
H 0 1 L 21/90		C 7353-4M	
21/302		M 7353-4M	

Examination Request: Not yet requested
Items in Application: 3 (Total 4 pages)

(21) Patent Application: Hei.3(1991)-147949

(22) Application Date: May 22, 1991

(71) Applicant: 000006747
Ricoh Co., Ltd.
3-6 Nakamagome, Ota-ku
Tokyo [Japan]

(72) Inventor: Naohiro Ueda
c/o Ricoh Co., Ltd.
[same address]

(74) Agent: Shigeo Noguchi, Patent Attorney

(54) Name of Invention: Semiconductor Device and its
Method of Manufacture

(57) Summary

Purpose: To form contact holes and through holes with
smoothly sloping walls.

Makeup: BPSG film 22 is laminated about 6000Å thick on
silicon substrate 20, and NSG film 26 is laminated about
2000Å thick upon that. Resist film 28 is formed with an
opening in the region where a contact hole will be made in
NSG film 26. With this resist film 28 as a mask, isotropic
etching is done on NSG film 26 until BPSG film 22 is ex-
posed. After removing resist film 28, anisotropic etching

JP 4-345054 2

is done on the entire surface using CHF_3 etching gas until substrate 20 is exposed.

Scope of Patent Application

Application Item 1 A semiconductor device in which metallic wiring is formed on a substrate with interlayer dielectric film interposed, with this wiring and the above-noted substrate connected through a contact hole or through hole in the interlayer dielectric film, and with its walls sloped so that the above-noted through hole or contact hole open out upward.

Application Item 2 A method of manufacturing a semiconductor device that includes the following processes (A) through (E) for forming metallic wiring:

(A) A process to laminate first dielectric film on a substrate and laminate second dielectric film on that to form a dual-layer interlayer dielectric film structure,

(B) A process to form a resist film for etching on the above-noted interlayer dielectric film and using photo-engraving to form a resist pattern having an opening in the contact area,

(C) With the above-noted resist pattern as a mask, a process for isotropic etching of the above-noted second dielectric film until the above-noted first dielectric film is exposed,

(D) After removing the above-noted resist film, a process for anisotropic etching the above-noted first and second dielectric films until the above-noted substrate is exposed, and

(E) A process that laminates metallic film from above the above-noted interlayer dielectric film to form patterned metallic wiring.

Application Item 3 A method for forming the semiconductor device described in Application Item 2 wherein the rate of the afore-noted anisotropic etching is less for the above-noted second dielectric film than for the first dielectric film.

Detailed Explanation of Invention

0001 Field for Commercial Utilization This invention relates to a semiconductive integrated-circuit device and

JP 4-345054 3

its method of manufacture, and specifically bears on a semiconductive integrated circuit device and its method of manufacture which is characterized by contacts between the silicon substrate and the first metallic wiring or contacts at the through hole between the metallic wiring.

0002 Usual Technology To prevent resistance increases and wiring breaks in semiconductor integrated circuit devices and so improve their reliability, slopes are made on the walls of contact holes or through holes, thus improving the coverage of the metallic wiring in the hole area.

0003 Figure 3 illustrates one of the usual methods for giving a slope to the walls of contact holes.

(A) BPSG film or the like is laminated as interlayer dielectric film 4 on silicon substrate 2 which is to be connected with the metallic wiring, resist film 6 is applied onto that for etching, and photoengraving is used to form opening area 8 in the contact hole area.

(B) With that resist film 6 as a mask, isotropic etching is done on interlayer dielectric film 4 to the extent of removing part of it to form depression 10.

(C) Next, with resist film 6 as a mask, anisotropic etching is done until silicon substrate 2 is exposed.

(D) When resist film 6 is removed, contact hole 12 will have been formed with a slope having a winecup-shaped slope.

0004 Problems the Invention Seeks to Resolve Because contact hole 12 formed in interlayer dielectric film 6 is winecup shaped in the method shown in Figure 3, it is not easy to get adequate coverage of contact hole 12 even though the metallic film for wiring is later laminated from above interlayer dielectric film 6. This invites contact resistance increases just as before.

0005 This invention is one with the goal of providing a method for forming a contact hole or through hole whose cross section is not the usual winecup shape, but has a more gently sloped wall, thus providing a semiconductor device in which the metallic wiring connects to the substrate via such a contact hole or through hole.

0006 Means to Resolve the Problem With the semiconductor of this invention, metallic wiring is formed on the substrate with an interlayer dielectric film interposed. Not only are this metallic wiring and the above-noted substrate

JP 4-345054 4

connected through a contact hole or through hole in this interlayer dielectric film, but also the slope of the above-noted contact hole or through hole is slanted so as to spread upward.

0007 To fabricate such a semiconductor device, the approach of this invention is to include the following processes (A) through (E) for forming the metallic wiring.

(A) A process to laminate first dielectric film on the substrate and laminate second dielectric film on that to form a two-layered interlayer dielectric film structure,

(B) A process to form a resist film for etching on the above-noted interlayer dielectric film and using photo-engraving to form a resist pattern having an opening in the contact area,

(C) With the above-noted resist pattern as a mask, a process for isotropic etching the above-noted second dielectric film until the above-noted first dielectric film is exposed,

(D) After removing the above-noted resist film, a process for anisotropic etching the above-noted first and second dielectric films until the above-noted substrate is exposed, and

(E) A process that laminates metallic film from above the above-noted interlayer dielectric film to form patterned metallic wiring.

With this manufacturing method it is desirable that the speed of anisotropic etching on the second dielectric film be set at less than that for the first dielectric film.

0008 Application Example

Figure 1 illustrates an example of applying this invention for contacts between a silicon substrate and the metallic wiring. Diffusion layer 21, e.g. an MOS transistor, is formed on silicon substrate 20; and that diffusion layer 21 and metallic wiring 24 are connected via interlayer dielectric film 22's contact hole. The contact hole is made to widen upward, but its side wall 36 has a gentle slope.

0009 Figure 2 shows an example of forming the contact hole of Figure 1's application example.

JP 4-345054 5

(A) BPSG film 22 is laminated about 6000Å thick as the first dielectric film on silicon substrate 20 on which diffusion layer 21 has been formed. NSG film 26 which is a nondoped silicon dioxide film is laminated about 2000Å thick as the second dielectric film on top of that to create an interlayer dielectric film with a two-layer structure. Anisotropic dry etching will be done on this interlayer dielectric film in a later process. Doing that dry etching with CHF_3 gas will make the relative etching rate for the NSG film 1 as compared to 3 for the BPSG film so that one can make the relative thickness of dielectric films 22 and 26 about 3:1. One applies etching resist film 28 onto NSG film 26 and patterns resist film 28 by photoengraving so as to have an opening in the region where the contact hole will be formed. Then, with this resist film as a mask, one isotropically etches NSG film 26. This isotropic etch is done until BPSG film 22 is exposed. That forms opening 30 with a round cross section in NSG film 26.

0010 (B) After removing resist film 28, one does anisotropic etching with CHF_3 as the etching gas. For this anisotropic etching the etching-rate ratio will be 3:1 for BPSG film 22 to NSG film 26. So, the ratio of the amount of etching α of the part of BPSG film 22 exposed in (A) and the amount of etching γ of NSG film 26 is $\alpha:\gamma = 3:1$. At the area where NSG film 26 remains near where BPSG film 22 was exposed, NSG film 26 will be etched first and then, by going on, newly exposed BPSG film 22 will be etched. The amount of etching β there will be a value between α and γ , matching NSG film 26's sloped places. The broken line in (B) indicates the shape of NSG film 26 before anisotropic etching of the entire surface.

0011 (C) When the anisotropic etching is continued until NSG film 26 is all etched away, because one made the ratio of the etching rate with CHF_3 gas nearly equal the initial film thicknesses of BPSG film 22 and NSG film 26, at the point in time when NSG film 26 is totally removed, BPSG film 22 will have contact hole 34 formed in it that spreads open upwards as a sloping wall; and the silicon substrate's diffusion layer 21, which will connect to metallic wiring at the bottom of contact hole 34, will be exposed.

0012 After that, following ordinary processes, metal film is laminated over the entire surface, patterned by photoengraving and etching to form the metal wiring of Figure 1. If one adjusts the etching rate of first dielectric film 22 and second dielectric film 26 with respect to the anisotropic etching indicated in process (B), one can adjust the slope angle yielded for contact hole 34's walls and create

JP 4-345054 6

contact holes with a desired slope. The technique of this invention can be applied not only to forming contact holes, but also to forming through holes for connections between metallic wiring.

0013 Effectiveness of Invention The semiconductor device of this invention has a contact hole or through hole with sloped walls that open out upward. So, compared to the usual winecup-shaped contact hole or through hole, it can improve coverage of the metal film for wiring, reduce wiring or contact resistance and improve the properties of semiconductor devices. With the methods of this invention one can adjust to desired values the slope of the contact hole or through hole formed by adjusting the rates of the anisotropic etching on the first and second dielectric films and so adjust the thickness of both.

Simple Explanation of Figures

Figure 1 is a cross-sectional diagram showing one application example of metal wiring.

Figure 2 is a set of cross-sectional diagrams showing the manufacturing method of one application example.

Figure 3 is a set of cross-sectional diagrams showing the usual method of forming contact holes.

Explanation of Keying Symbols

20	Silicon substrate
21	Diffusion layer
22	BPSG film for 1st dielectric film
24	Metal wiring
26	NSG film for 2nd dielectric film
28	Resist film
30	Opening from isotropic etching
34	Contact hole
36	Wall of contact hole

[Symbols for Figure 3, not listed by author]

2	Silicon substrate
3	[Not identified in text]
4	Interlayer dielectric film
6	Resist film
8	Opening area
10	Depression
12	Contact hole